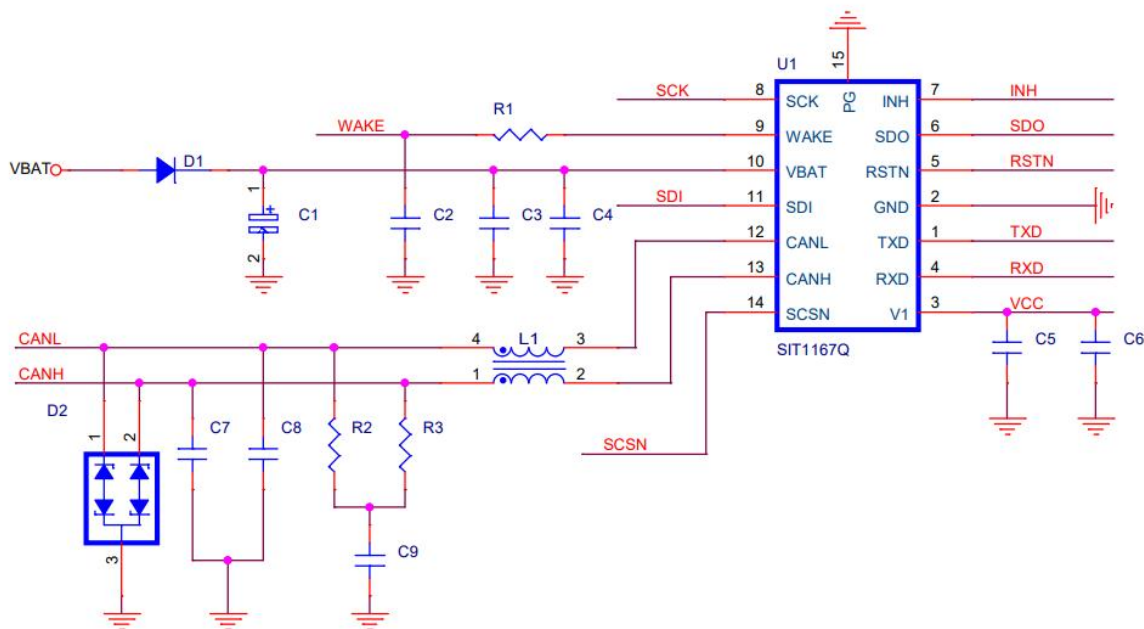


简介

SIT1167Q 是一款 Mini SBC (Mini System Basis Chip)，一种小型化的系统基础芯片。SIT1167Q 系列产品集成了一路 LDO，V1 具有 5V 输出电压、250mA 输出电流能力，主要用于微控制器系统供电。同时支持 INH 控制外部电源开关的能力可扩充多路电源。集成了高速 CAN 收发器，可支持 5Mbps 的 CAN FD 通信。集成了独立看门狗电路，支持超时模式、窗口模式以及自动模式。集成了系统管理模块，支持 SPI 接口，支持 CAN 总线远程唤醒与本地 WAKE 唤醒，支持双向复位管理功能。

典型应用

图 1-1

如上图 1-1 是 SIT1167Q 应用的外围电路设计。

1. VBAT 为输入源，推荐一个 100nF 的电容 (C4)、一个 4.7uF 的电容 (C3) 和一个 47uF~470uF 的电解电容 (C1) 搭配，可用于滤除线路中的高、低频噪声，电容需靠近芯片引脚放置。

2. V1 为 5V 250mA 电源输出，主要供应 MCU 系统，推荐一个 100nF 的电容 (C6)、一个 10uF 的电容 (C5) 搭配，电容需靠近芯片引脚放置。

3. INH 用于控制外部稳压器的 states，发生唤醒事件后置为高电平。可通过一个值为 10Ω~100kΩ 的下拉电阻下拉至地，做其他电源使能。

4. 总线终端：图 1-1 显示了分裂终端。分裂电阻 R2 和 R3，终端的中心通过电容器 C9 与地连接。分裂终端为总线提供共模过滤。ECU 作为总线终端被放置在总线上执行，必须格外小心，以确保终端节点不会从总线中移除，防止删除了终端。

5. WAKE 引脚用于实现本地唤醒事件，可接KL15唤醒，串联电阻 R1（33kΩ）来防止过流情况，放置1nF-100nF电容C7滤除高频干扰，同时可视情况添加下拉电阻（10kΩ~100kΩ）保证在KL15无输入时保持低状态。

6. SPI信号引脚：对SIT1167Q进行通信和控制，可依据实际情况通过一个值为10Ω~1kΩ的串联电阻与微控制器连接，可以方便查看SPI信号质量与数据。

7. RSTN 可双向触发的系统复位引脚，MCU可以主动拉低RSTN复位SIT1167Q，SIT1167Q也可以在上电时或满足重置条件时产生一个系统复位脉冲。可依据实际情况通过一个值为10Ω~1kΩ的串联电阻与微控制器连接，可以方便查看RSTN的信号。

8. RXD 引脚，可放置一个值为10Ω~1kΩ的串联电阻或直接与MCU CAN RXD连接。

9. TXD 引脚，可放置一个值为10Ω~1kΩ的串联电阻或直接与MCU CAN TXD连接。

10. 将保护和滤波电路尽可能靠近总线连接器，以防止瞬变，ESD 和防止噪音传播到电路板上。如图1-1，瞬态电压抑制（TVS）器件（D2）用于增加保护，C7和C8为总线滤波电容，共模扼流圈（CMC）L1可进一步提升EMC性能。器件放置需按照信号路径方向设计子总线保护元件，不要强迫瞬态电流偏离信号路径到达保护装置。

TVS 选型原则：

- 1) 静电防护能力需达到要求级别；
- 2) V_{RWM} 最大反向工作电压为24V；
- 3) 结电容Cj要满足信号系统传输速率的要求。

CAN 通信速率 250kbps、500kbps、2 Mbps推荐型号：SITNE24V2BNQ-3/TR（SOT-23）；

CAN 通信速率 2Mbps、5Mbps 推荐型号：SITLE24V2BNQ-3/TR（SOT-23）、SITSE24V2BNQ-3/TR（SOT-23）。总线滤波电容器推荐值：10pF~100pF。

共模扼流圈（CMC）推荐型号（亦可不使用共模扼流圈）：

- 1) CAN 通信速率 250kbps、500kbps 推荐型号：ACT45B-101-2P；
- 2) CAN 通信速率 2Mbps、5Mbps 推荐型号：ACT1210R-101-2P。

PCB LAYOUT

为了更好地应用 SIT1167Q，在 PCB LAYOUT 时，需注意如下问题：

- ❖ 总线信号其长度不应超过 10cm。
- ❖ ESD 保护器件应靠近 ECU 连接器总线连接端。
- ❖ VBAT、V1、WAKE、TXD 和 RXD 输入/输出电容应靠近收发器引脚，走线尽量短。
- ❖ 通信控制器和收发器之间的连线长度应尽量短。
- ❖ 通信控制器和收发器之间接地阻抗应尽可能低。
- ❖ 避免在通信控制器与收发器的地之间使用滤波器元件，收发器和通信控制器的地必须相同。
- ❖ 避免其他的信号线与 CANH 和 CANL 平行布线，可能会有噪声注入 CAN 总线，影响总线通信。
- ❖ CAN 传输线下层的 Layout 不可与其它走线交叉，尽可能在走线下层铺地处理，下层地的铺设最小宽度是 CANH/CANL 两线线距的 1.5—2 倍。
- ❖ CANH/CANL 的 PCB 走线尽可能不走过孔，以减小过孔电感对信号的影响。
- ❖ 表层走线周边包地处理。表层走线可以很好地对阻抗进行控制，在后期调试时，也有利于元器件的增加和修改。
- ❖ 如果走线不可避免地需要较长布局，可采用 45 度的折线走法，有利于减小线上辐射，对于高速差分走线，这样的走线方式，可以改善线上辐射达 3dB 以上。
- ❖ 去耦电容以及芯片接地至少使用两个过孔，以尽量减少走线和过孔电感。